

doi:10.19306/j.cnki.2095-8110.2018.01.016

# 一种高分辨率积分输出的 A/D 转换电路的设计

董建树<sup>1</sup>, 孙宏超<sup>1</sup>, 王 惠<sup>2</sup>, 严宗睿<sup>3</sup>

(1. 北京自动化控制设备研究所, 北京 100074; 2. 北京振兴计量测试研究所, 北京 100074;  
3. 海军指挥学院, 南京 210016)

**摘要:**针对通常需要高分辨率的模数转换的导航领域,描述了一种高分辨率积分输出的 A/D 转换电路的设计,论述其工作原理和软硬件设计方案。通过电路仿真和试验分析表明,这种 A/D 转换电路的设计兼具 V/F 转换的高精度和 A/D 转换的高速输出的优点。

**关键词:**高分辨率;积分;A/D;V/F 转换;电路仿真

中图分类号:TL822

文献标志码:A

文章编号:2095-8110(2018)01-0093-07

## The Design of A/D Converter Circuit with High Resolution Integral Output

DONG Jian-shu<sup>1</sup>, SUN Hong-chao<sup>1</sup>, WANG Hui<sup>2</sup>, YAN Zong-rui<sup>3</sup>

(1. Beijing Institute of Automatic Control Equipment, Beijing 100074, China;  
2. Beijing Revitalization Institute of Measurement and Test, Beijing 100074, China;  
3. Nanjing Naval Command Academy, Nanjing 210016, China)

**Abstract:** The design of A/D converter circuit with high resolution integral output is described, which is commonly used to meet the demand of high resolution A/D converter in navigation applications. The principle and design scheme for software and hardware are discussed. It shows through circuit simulation and test analysis, that the designed A/D converter circuit has the advantages of both high precision for V/F converter and high speed output for A/D converter.

**Key words:** High resolution; Integral; A/D; V/F Converter; Circuit simulation

### 0 引言

石英挠性加速度计是惯性导航系统的关键部件之一。在惯性导航系统中,需要先对加速度计输出的模拟信号进行高分辨率的模数转换(简称 A/D 转换),然后进行数字处理<sup>[1]</sup>。随着现代集成电子技术的高速发展,未来的 A/D 转换电路将具有“高低宽”的特点,包括高速、高分辨率、高精度、高稳定性、低功耗、低电压、低成本、小体积、模块化、宽转换范围、宽温度特性、兼容通信总线等众多特点。

A/D 转换的分类方式很多,一般有积分型(双

积分式、多斜式)、比较型(逐次比较式、余数再循环逐轮比较式、并行比较式、流水线式)、电荷平衡型(电压/频率、电流/频率)和  $\Sigma$ - $\Delta$  调制型这四种模式。

A/D 转换的工序一般为:1) 采样。按数字信号的节拍,对被转换的模拟信号采取样品。2) 保持。将采样脉冲的幅值保持住,直至下一次采样时刻到来。3) 量化。将采样的阶梯信号按 A/D 转换位数划分成若干层,按照取整舍零的原则对阶梯信号进行处理的过程。4) 编码。量化后的信号经过编码成为计算机使用的数字信号。

收稿日期:2017-06-20;修订日期:2017-07-30

作者简介:董建树(1979-),男,主要研究方向为工业测控技术、信息化技术等。E-mail:treeplanter@163.com

目前,市面上有多种高达 16 位的双积分式 ADC 通用集成电路芯片产品,一般都配有并行或串行输出接口<sup>[2]</sup>。

逐次比较型 ADC 专用 IC 的分辨率可达 18 位,采样速率达几个 MHz(如 16 位、3MSPS 的 AD7621; 18 位、2MSPS 的 AD7641 等),通常多数 IC 器件采用标准串行接口(I<sup>2</sup>C 或 SPI)输出数据。此外,单片机内嵌 ADC 也多属于 8~12 比特的比较式 ADC<sup>[3]</sup>。

并行比较式 ADC 又称快闪 ADC,是目前转换速度最快的 ADC,采样速率能达到 1GSPS,用于快速数据采集系统。由于电路需要大量的精密电阻和很大的逻辑阵列,受工艺水平及高精度、高密度集成的限制,其分辨率不易做高。目前,市面上有 10 位的并行比较式 ADC 通用集成电路产品<sup>[4-5]</sup>。

流水线型 ADC 又称管道型(pipelined)ADC,最高分辨率可达 14 位,采样率可达到 10MSPS~100 MSPS 量级。8 位低分辨率的流水线型超高速 ADC 的采样速率甚至可达到 2GMSPS 量级。流水线型 ADC 主要适用于视频、雷达、通信、数字示波器、光谱分析仪等领域的高速、低精度测量<sup>[6-7]</sup>。

电荷平衡型 V/F 通常采用专用 VFC 芯片完成,如 AD650、AD7742 等<sup>[8]</sup>。

$\Sigma$ - $\Delta$  型 ADC 的转换分辨率与转换精度很高,电路组成简单,几乎都为数字架构,因此便于集成。但受转换速率的限制,这种转换器仅适用于对较低频率信号的高精度转换。目前,市面上已有许多标准化小型封装的  $\Sigma$ - $\Delta$  型 ADC 通用型芯片,例如 AD771X 系列、CSXX 系列产品<sup>[9]</sup>。

电压/频率转换电路(简称 V/F 转换电路)属于一种 A/D 转换电路,是惯导系统的重要部件之一,在惯性导航系统中与加速度计串联,将加速度计的输出电流转换成与其成正比的数字脉冲信号,以适应导航计算机计数器接口的计数需要。作为导航计算机计数器的前向接口电路,转换电路应具有高转换精度、高分辨率、高稳定性、宽转换范围及良好的温度特性。为了满足系统对 X、Y、Z 三个方向加速度信号的转换需要,一套 V/F 转换电路板包括三路同样的转换电路<sup>[10]</sup>。

普通的电荷平衡式 V/F 转换电路在系统应用中存在的矛盾是:一方面,由于电路精度与最大输出频率成反比关系,限制了电路的最高工作频率,对一定范围输入就是限制了最大刻度系数;另一方

面,为使系统有足够的动态精度,保证输入信号很小时,导航周期内的采样值足够大,希望电路刻度系数越大越好,使得惯导系统在长时间处于小加速度的情况下也能保证足够的计算精度。采用普通的方案无法彻底解决这一对矛盾,只有采用折衷方案,在精度与速度间寻找平衡,从国内目前水平来看,能达到 512kHz 频率输出、精度  $10^{-4}$  已经有相当难度了。

本文提出了一种高分辨率积分输出的 A/D 转换电路方案,其基本原理是采用电荷平衡与 A/D 转换复合计算,综合利用电荷平衡的积分特性保证电路的长时间累计精度;同时,利用 A/D 转换的及时性提高了电路输出速率。电路的等效输出频率正比于电荷平衡频率与 A/D 转换精度的乘积,假如采用 10kHz、12 位 A/D,其等效输出频率最大可达  $4096 \times 10\text{kHz} = 40\text{MHz}$ ,精度取决于电荷平衡精度和 A/D 转换精度,其中电荷平衡电路仅工作在较低的频率上(如 10kHz 左右),从传统 V/F 设计经验可以知道其设计精度容易得到保证。

## 1 电路工作原理

### 1.1 基本构成及工作原理

积分输出 A/D 转换电路设计的基本原理如图 1 所示。

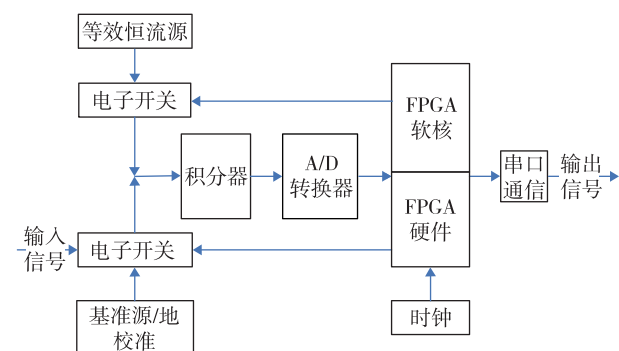


图 1 积分输出 A/D 转换电路原理示意图

Fig. 1 The scheme of A/D converter circuit theory for integral output

积分输出 A/D 转换电路与传统 V/F 转换器的相同之处是基于电荷平衡的工作原理,包含积分器、电流源、电子开关、逻辑电路等基本部分,通过开关控制电流源的通断实现积分器上的电荷平衡,从而获得输入电压的量化值。但是,积分输出 A/D 转换电路作为一种自校准数字输出 V/F 转换器,还

包含输入切换开关、14 位高速 A/D 转换器、计数器、Nios II 软核、串行通信接口等部件,从而实现电路的自校准、计数、输出等功能。

该电路的工作原理是:积分器对输入电流积分,同时 A/D 转换器定时进行 A/D 转换,处理器判断转换结果,一旦积分器电压超出设定值,则启动平衡回路,释放一个当量的电荷,同时输出累加器增加额定数值,如此回路始终处于平衡状态,而处理器内部的输出累加器则不断累计,累加值乘以权数与当前 A/D 转换器数值之和为系统取样周期内的加速度值。系统在取样时间定时取走此值,清除输出累加器为零,为下次累加做准备。理论上,由于积分器的作用,不存在电荷丢失,即不存在累计误差。如果图 1 所示的 A/D 转换器退化成一一位转换器就是比较器,A/D 转换和数字处理时间忽略不计,则电路退化成目前常用的 V/F 转换电路。

从电路的工作原理可以看出,电路内部工作在一个 A/D 采样、判断、反馈的时序中,电路只有完成一个工作时序才能更新一次输出数据,这样会对输出的实时性有一定影响,因此电路的处理器内部必须以相对于输出数据刷新频率更高的采样速率进行更新。为了满足 1ms 的惯导采样周期,处理器内部工作频率一般要大于 10kHz,保证数据在 0.1ms 内及时输出。当然,对于 10kHz 的速率,无论是积分器还是数字逻辑运算都是比较容易实现的。

## 1.2 输出频率的算法

普通 V/F 转换电路的转换特性可以用单位时间内的输出脉冲数  $F$  来表示

$$F = K \times f_0 \times I \quad (1)$$

式中,  $K$  为反馈因子;  $f_0$  为基准频率;  $I$  为输入电流。

由于  $K \times I$  不大于 1,最大输出频率为  $f_0$ 。

为了对比验证,积分输出 A/D 转换电路的转换特性也可用单位时间内的输出数字量来表示

$$F = K_T \times K \times F_{T_0} \times I + M \quad (2)$$

式中,  $K_T$  为综合系数,由积分器电容值、反馈电流值、单位脉冲当量持续时间、A/D 转换系数等决定,表示单位脉冲当量的积分电压对应的 A/D 转换值;  $K$  为反馈因子;  $F_{T_0}$  为高频电路采样频率;  $I$  为输入电流;  $K \times F_{T_0} \times I$  表示单位采样时间内的反馈脉冲数;  $M$  表示单位时间前后的 A/D 采样的差值。

由于  $K_T \gg 1$ ,从式(2)中可知,单位时间内电路

的最大输出数字量,主要由  $K_T$  与  $F_{T_0}$  决定,以  $K_T = 5000$ ,  $F_{T_0} = 10\text{kHz}$  为例,最大输出数字量可达 50M,即等效频率为 50MHz,在电路中可以实现,这对于传统 V/F 转换而言是不可能达到的。

## 1.3 电路自校准

电路采用自校准技术保证频率输出的准确性和长期稳定性。一个完整的三通道自校准数字输出 V/F 转换电路包含四路独立的积分器和一套共用的逻辑控制电路。每个通道都可以在工作模式或者校准模式下运行。在任意时刻,总有三路通道处于工作模式,而剩下的一路通道处于校准模式。通过复用校准模式的通道,附加的通道可以实时动态地校正误差而不会造成累计数据的丢失。

在工作模式下,积分器的输入连接到加速度计的输出。积分器的输出量被 A/D 采样和转换。当积分器输出量达到预定值时,处理器的软件开始执行合适极性的再平衡控制,随后软件开始读出积分器的剩余量,将该剩余量与用于再平衡的脉冲数进行综合,输出数字量正比于输入电压(电流),实现 V/F 转换的功能。

在校准模式下,积分器的输入接地,A/D 转换器工作在超出规定的电压范围之外以确定通道误差。然后输入连接到精密参考源,执行额外的转换来确定通道的比值。执行不对称校准时,开始一个负极性再平衡控制过程,立刻进行一个正极性再平衡控制过程,随后在输出端进行 A/D 转换。一个校准周期完成后,处理器存储积分器的误差常量,将积分器的输入端切换到加速度计的输出端口,然后校准下一通道。

## 2 设计方案

### 2.1 硬件设计方案

电路的核心是处理单元,采用现场编程门阵列 FPGA 芯片用于实现逻辑功能,包含了模拟 I/O 地址解码和数字控制逻辑、数字通信逻辑。采用 Quartus II 设计软件进行 FPGA 的硬件设计。同时,在芯片中嵌入了 Nios II 软核,通过对 FPGA 芯片进行编程,能够实现多路输入通道电子开关的控制、反馈电流电子开关的控制、A/D 信号的采样、运算处理、串口通信等复杂的功能。这种 FPGA 的软、硬件结合的设计方法贯彻了通用化、模块化的思想,很好地综合了离散逻辑器件和处理器的优点。

采用高精度运放与低漏电流的聚碳酸酯电容

器构成积分器,这部分与传统 V/F 转换电路设计相同,积分 A/D 转换电路在输入时采用了多路模拟开关切换,用以实现通道校准。

A/D 转换采用了 A/D7895 芯片(见图 2),是一种快速、低功耗(典型值 115mW)、四通道同步采样的 14 位 A/D 转换器,单 5V 供电,内部包含 2.4 $\mu$ s 连续逼近 A/D 转换。

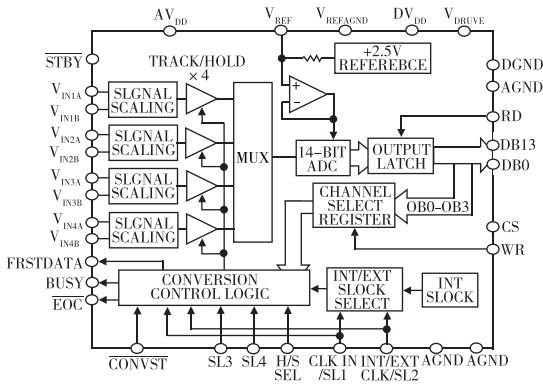


图 2 A/D7895 芯片内部功能图

Fig. 2 The scheme of internal function for A/D7895 chip

四路输入信号同时采样并保留了它们的相对相位信息。模拟输入信号范围可以达到 $\pm 10V$ ,允许四路中挑选任意组合进行转换。转换通道可以通过硬件(通道选择输入引脚)或者软件(对通道选择寄存器进行编程)来选择。

采用高精度温补晶体振荡器作为标准频率源和 FPGA 工作的全局时钟,用于传感器通道的计数采样、积分器采样换算和 A/D 采样控制。

### 2.2 软件设计方案

电路的软件既包含采用 Verilog HDL 语言编写的 FPGA 硬件描述程序,也包含运行于 Nios II 软核的标准 C 程序<sup>[11]</sup>。Nios II 软核是一个可灵活定制的 CPU,它的外设是可选的 IP 核或定制逻辑,可以根据系统设计的要求,通过 SOPC Builder 向导式的界面定制裁减得当的 SOPC 系统。完整的基于 Nios II 的 SOPC 系统是一个软硬件复合的系统,在开发时可以分为硬件、软件两部分,如图 3、图 4 所示。根据系统设计的要求,划分好各个软硬件模块<sup>[12]</sup>。

Nios II 软件的设计流程图如图 5 所示。

软件的设计思路是,在系统初始化之后,通过控制电子开关选择合适的工作模式或者校准模式,执行 A/D 转换并读取数据,判断积分器的输出量是否达到设定值。如果达到,则反馈电流的电子开关

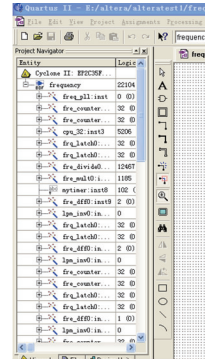


图 3 Nios II 硬件设计图

Fig. 3 The scheme of Nios II hardware design

```

unsigned char check_parity(unsigned char *buf,int size);
unsigned char caculate_parity(unsigned char *buf, int size);

static void handle_uart_rece_interrupts(void *context,alt_u32 id);

void write_and_read_pio(void);

void delay2us(int count);
static void com_wait(void);
//-----关于中断的函数-----

static void timer_selection_init();

static void flag_10s_interrupts( void* context, alt_u32 id);
static void flag_1s_interrupts( void* context, alt_u32 id);
static void flag_100ms_interrupts( void* context, alt_u32 id);
static void flag_10ms_interrupts( void* context, alt_u32 id);
static void flag_1ms_interrupts( void* context, alt_u32 id);

static void timers_interrupts_stop(void);
//-----

alt_u32 pio[pio_size]; // PIO
alt_u32 emd_pio[pio_size];

volatile int mytimer_count;
unsigned char TIMER_PIO_BASE;
unsigned char TIMER_PIO_TRQ;

volatile int flag;
volatile int flag_ok;
volatile int flag_com; // 一次通讯接收完毕标志

//-----主程序-----
int main()
{
    unsigned char endsign;
    alt_u32 times,time2;

```

图 4 Nios II 软件设计图

Fig. 4 The scheme of Nios II software design

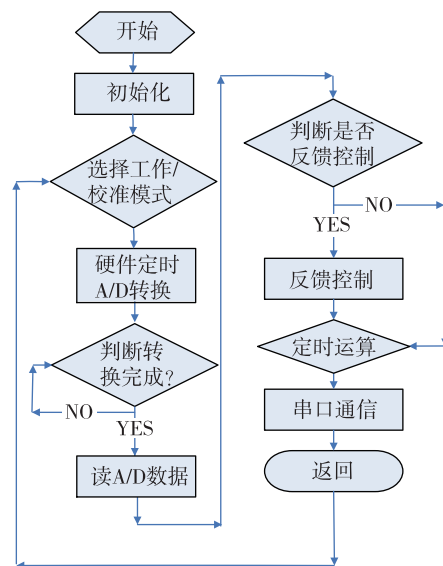


图 5 软件设计流程

Fig. 5 The scheme of software design procedure

导通,然后定时进行运算和串口通信,向上位机发送数据,这样一轮工作循环结束。

实现通用化要求具有通用而灵活的硬件模块,而

设计这些灵活的硬件模块的关键就是软件设计思想。软件设计能为系统提供更出色的灵活性和更优良的性能,可以在其操作周期内改变软件或固件而不会影响硬件设计或生产流程,避免了高成本的硬件设计更改以及随后的生产流程更改,有助于节省成本。

### 3 电路仿真

为提高积分器带宽,最初的设计中积分器运放采用了带宽 25MHz 的 OPA2228。使用 MultiSim 软件对其中的积分器电路进行原理性仿真<sup>[13-14]</sup>,这时发现 OPA2228 同相端有微小的振荡。如图 6 所示,实际的试验中也发现此芯片的高带宽使得电路在反馈电流接入和断开时会导致输出振荡,影响 A/D 取值结果。因此,采用带宽较窄的 OPA2227 替换运放 OPA2228,并且修改了它的外围电路。

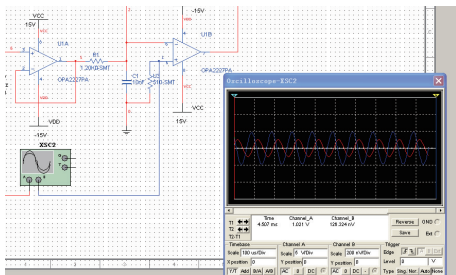


图 6 电路模块的原理仿真图

Fig. 6 The scheme of simulation of circuit module

进一步的仿真结果消除了纹波干扰,如图 7 所示,输入信号与输出信号反相并且有 90°的相位差,放大倍数约为 0.13,输出信号将会到达 A/D 芯片进行转换。试验发现运放的同相端毛刺噪声消失,不再出现 2MHz 的高频分量的毛刺状波形。

根据原理图设计一个四层的 PCB 板作为样机,

尺寸为 100mm×96mm×12mm,工作电压为±15V 和+5V 直流电压,通过一个标准的 RS-422 串联接口端子为机体提供加速度等数据,电气接口由一个 25 管脚的连接器提供。数字地和模拟地共同为一个地,可以有效地提高电路的抗电磁干扰性能<sup>[15-17]</sup>。电路板的三维图如图 8 所示。

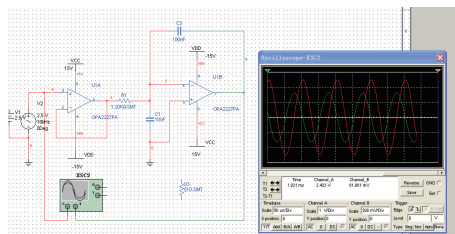


图 7 修改后的电路模块的原理仿真图

Fig. 7 The scheme of simulation of circuit module after modified

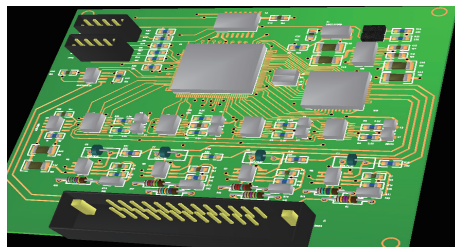


图 8 电路板三维图

Fig. 8 The scheme of 3D PCB

### 4 测试及分析

试验采用校准仪的恒流源来模拟加速度计的输入信号,进行了精度和线性测试试验,通过计算取常数  $K_T = 5500$ ,  $K$  表示一个测量周期  $T$  内的反馈脉冲数,  $M$  表示  $V_2 - V_1$ ,即一个周期前后的 A/D 采样值。转换电路的精度试验数据如表 1 所示。

表 1 精度试验数据

Tab. 1 The testing data of accuracy

序号	输入电流/mA	周期/s	$K$	$M$	$F / \text{Hz}$	$M$ 的变化范围 $P$	误差 $e = P / (T \cdot F)$
1	0.1	1	6	1748	34748	6	$1.73 \times 10^{-4}$
2	0.1	10	63	969	34747	16	$4.60 \times 10^{-5}$
3	1	0.1	6	1655	346550	6	$1.73 \times 10^{-5}$
4	1	1	62	5192	346192	16	$4.62 \times 10^{-5}$
5	1	10	629	2439	346194	32	$9.24 \times 10^{-6}$
6	10	1	629	1042	3460542	16	$4.62 \times 10^{-6}$
7	10	10	6291	4953	3460545	32	$9.25 \times 10^{-7}$

转换电路的线性测试结果如表2所示。

表2 线性测试结果  
Tab.2 The testing result of linear

刻度系数(Y路测试)	输入 <sup>+</sup> /mA	F <sup>+</sup> /Hz	输入 <sup>-</sup> /mA	F <sup>-</sup> /Hz
[1,60mA]	1	348709.5	-1	-348925.95
	5	1743932	-5	-1744137
	10	3488066	-10	-3488262.5
	15	5232040	-15	-5232219.5
	20	6976225	-20	-6976376
	25	8720152	-25	-8720306
	30	10464320	-30	-10464264.5
	35	12208218	-35	-12208376.5
	40	13952326	-40	-13952450
	45	15696177	-45	-15696476.5
	50	17440258	-50	-17440484
	55	19184063	-55	-19184346
60	20928035	-60	-20928210.5	
小信号偏差	输入 <sup>+</sup> /mA	F <sup>+</sup> /Hz	输入 <sup>-</sup> /mA	F <sup>-</sup> /Hz
≤1mA	0.01	3371.9	-0.01	-3592.3
	0.1	34773.3	-0.1	-34997.05
	0.5	174311.9	-0.5	-174506.7
零位	F <sub>0</sub> /Hz	-109.6	F <sub>0</sub> /Hz	-109.6
标度因数	Kave/(Hz/mA)	348810.5		348808.3495
线性度	DEV	1.5×10 <sup>-5</sup>		1.22408×10 <sup>-5</sup>
对称度	SYM	3.02606×10 <sup>-6</sup>		
小信号偏差的最大值	Dfmax1	16.26975		11.075
大信号偏差的最大值	Dfmax2	6.6×10 <sup>-7</sup>		2.37215×10 <sup>-6</sup>

由试验分析可知:电路在刻度系数达到348kHz/mA时,最大输出频率为20MHz,且非线性优于10<sup>-3</sup>,具有较好的精度和动态特性。在同一周期条件下(例如1s),测量误差随着输入电流值的增加而减小。在同一输入电流条件下(例如1mA),测量周期增加时,测量误差会减小,但精度难以高于10<sup>-5</sup>。一个反馈脉冲代表的数字量在理论上是常数,实际计算误差与A/D前后周期测量的电压值之差有关,算法有待进一步研究改进。

## 5 结论

高分辨率积分输出A/D转换电路采用软硬件结合设计的方法,运算与控制电路使用FPGA实现,设计灵活方便,能够在软件中对测量信号进行误差补偿。转换电路获得了较大的刻度系数,提高了加速度计的测量精度。电路的反馈控制速度较

低,提高了电路精度,使用A/D测量残余电荷,减小了测量误差。转换电路采用了工作/校准模式,每一个数字转换器的输入可以在加速度计输入、精密电压参考源、信号地三者之间进行多路复用,而且不用后接可逆计数器,直接数字接口可以灵活输出,为电路的高精度、小型化、低成本提供了保证。这种高分辨率积分输出的A/D转换电路采用了电荷平衡式与A/D转换复合计算方法,既利用了电荷平衡的积分特性保证电路的长时间累计精度,同时又利用A/D转换的及时性提高了电路输出速率,因而对惯性导航系统的加速度信号采样具有良好的工程应用价值。

## 参考文献

- [1] 李锦明,李娜娜,马游春.基于高精度A/D的石英挠性加速度计数据采集的设计[J].仪表技术与传感

- 器, 2012(2):22-24.
- [2] 古利. 双积分 A/D 转换技术的抗干扰性分析[J]. 衡器, 2013, 42(4):29-31.
- [3] 顾颂琦, 姜政, 黄宇营, 等. 两种 A/D 转换数据采集系统的研究[J]. 实验室研究与探索, 2016, 35(9): 144-147.
- [4] Devices A. Inc. Monolithic Synchronous Voltage-to-Frequency Converter[S]. 2000.
- [5] Reddy M S, Rahaman S T. An effective 6-bit flash ADC using low power CMOS technology[C]// 2013 15<sup>th</sup> International Conference on Advanced Computing Technologies (ICACT). IEEE, 2013: 1-4.
- [6] 杨龙, 王宗民. 一种基于 MDAC 优化的低功耗流水线 A/D 转换器[J]. 电子技术应用, 2017, 43(1): 68-71.
- [7] Grace C R, Hurst P J, Lewis S H. A 12 b 80 MS/s pipelined ADC with bootstrapped digital calibration [C]// 2004 IEEE International Solid-State Circuits Conference on Digest of Technical Papers (ISSCC). IEEE, 2004: 460-539.
- [8] 谢受浪. 光电传感器的 ADC 采样信息处理方式[J]. 机器人技术与应用, 2009, 9(5):86-88.
- [9] 杨金宙, 徐东明, 王艳. 基于 FPGA 的高速数据采集系统设计与实现[J]. 中国集成电路, 2017, 26(1): 20-23.
- [10] 杨良军, 董建树, 王蒙, 等. 基于 FPGA 的 V/F 转换电路温度补偿技术研究[J]. 导航定位与授时, 2016, 3(6):70-71.
- [11] 李兰英. Nios II 嵌入式软核 SOPC 设计原理及应用[M]. 北京: 北京航空航天大学出版社, 2006:3-5.
- [12] 周润景, 图雅, 张丽敏. 基于 Quartus II 的 FPGA/CPLD 数字系统设计实例[M]. 北京: 电子工业出版社, 2007:8-10.
- [13] 唐赣, 吴翔, 苏建峰. Multisim 10 & Ultiboard 10 原理图仿真与 PCB 设计[M]. 北京: 电子工业出版社, 2008:3-4.
- [14] 严宗睿, 巫银花, 陈勇, 等. 装备作战需求探索性仿真实验方法研究[J]. 系统仿真学报, 2015, 27(8): 1888-1894.
- [15] DouglasBrooks. 信号完整性问题和印制电路板设计[M]. 北京: 机械工业出版社, 2005:82-115.
- [16] 董建树, 袁晓宇, 王惠, 等. 基于 Nios II 嵌入式处理器的 SOPC 中精度测频电路的设计[J]. 导航定位与授时, 2015, 2(5):70-75.
- [17] Robert A. Pease. 模拟电路故障诊断[M]. 北京: 人民邮电出版社, 2007:125-135.