

doi:10.19306/j.cnki.2095-8110.2018.05.014

一种采用收发双缓冲结构的 1553B 总线接口的设计与实现

石 然^{1,2}, 张永杰^{1,2}, 王金芳^{1,2}, 饶范钧^{1,2}, 徐 挺^{1,2}

(1. 上海航天控制技术研究所, 上海 201109; 2. 上海惯性工程技术研究中心, 上海 201109)

摘要:从简化结构、提高实时性的角度出发,提出了一种 RT 模式下的 1553B 总线接口。该总线接口硬件上以 BU-61580 为总线协议处理器,以 FPGA 为主处理器,在 FPGA 内部实现接口粘合逻辑,省去额外电路,做到无缝链接。软件上在接收端采用子地址双缓冲模式,保证数据一致性和正确性,发送端提出了发送双缓冲机制,在保证可靠性的前提下提高了数据更新的实时性。详细阐述了总线接口的设计和实现方案,并通过仿真和实验手段证明了该接口方案的可行性和有效性。

关键词:1553B 总线; 双缓冲; 接口; FPGA; BU-61580; 实时性

中图分类号: TN919.71

文献标志码: A

文章编号: 2095-8110(2018)05-0083-07

Design and Implementation of 1553B BUS with Double Buffering Mode

SHI Ran^{1,2}, ZHANG Yong-jie^{1,2}, WANG Jin-fang^{1,2}, RAO Fan-jun^{1,2}, XU Ting^{1,2}

(1. Shanghai Institute of Spaceflight Control Technology, Shanghai 201109, China;

2. Shanghai Engineering Research Center of Inertial, Shanghai 201109, China)

Abstract: A communication interface of 1553B bus working on RT mode is presented to simplify the circuit structure and improve the real-time performance. In hardware design for the interface, the construction based on BU-61580 protocol chip and FPGA host processor is established, in which there is no the logical adhesion circuit needed for it is included in the FPGA. In software design for the interface, the problem of balancing real-time and reliability is solved by the implementation of double buffering mechanism in both receiving and transmitting messages. The design and implementation for the interface circuit of the 1553B bus are described in detail, and the functionality and performance are also verified by practical and simulation results.

Key words: 1553B bus; Double buffering; Circuit interface; FPGA; BU-61580; Real-time

0 引言

1553B 是由美国在 20 世纪 70 年代提出的电子系统联网标准,它是一种集中控制、分布处理和实时响应的集中式的时分串行总线,具有可靠性高、

使用灵活等优点,被广泛应用于航空、航海和航天等领域^[1-3]。

1553B 总线通信能够得以实施,主要是依赖于 1553B 总线接口这样的物理基础,因此 1553B 总线接口的设计得到广泛重视。1553B 接口主要由主处

收稿日期:2018-05-18;修订日期:2018-07-17

基金项目:上海市优秀技术带头人资助项目(15XD1521500)

作者简介:石然(1986-),男,博士,工程师,研究方向为空间智能驱动控制。

E-mail: 304724350@qq.com

理器和总线协议处理器组成。主处理器可采用单片机^[4]、ARM^[5]或DSP^[6-8]，但这三种处理器均无法做到与总线协议处理器间的无缝链接，还需要粘合逻辑实现与总线协议处理器间的逻辑匹配，这就增加了1553B总线接口的复杂性。利用FPGA作为主处理器，则可很好地解决此问题。FPGA是一种可编程逻辑阵列，它可以将粘合逻辑集成在处理器内部，实现1553B总线接口的最简化。

总线协议处理器目前通常采用DDC公司的ACE系列芯片^[9]，其中以BU-61580最为著名。在BU-61580的使用中，常采用中断响应模式^[10-11]。BU-61580完成一次收发指令后产生中断信号，主处理器收到该中断请求后，从BU-61580中取回数据，并将待发送数据存入BU-61580中。从数据接收角度看，该模式效率很高，可以收到实时数据。但从数据发送角度看，中断后存入的数据需要等待下次BC命令才能发出，存在发送延时，无法适应诸如控制系统、导航系统等对于实时性要求很高的环境。因此有必要在软件控制方法上进行改进，在保证可靠性的前提下提高接口电路的实时性。

本文从简化结构、提高实时性和适应性的角度出发，采用BU-61580作为总线协议处理器，以深圳国微的SMQV600作为主处理器，设计并实现

了一种RT模式下的1553B总线接口。该接口在接收端和发送端均采用双缓冲结构，同时保证了实时性和可靠性。文中给出了硬件的总体方案以及软件程序流程，并通过实验对该1553B接口进行了验证。

1 硬件电路设计

1553B总线接口硬件上主要由SMQV600和BU-61580组成。SMQV600作为主处理器，负责控制BU-61580，响应BC经1553B总线发来的指令，并将分系统的数据回馈给BC系统。BU-61580作为总线协议处理器，能够对外按照总线协议发送和接收数据，一方面把接收到的BC有效数据存在片内RAM中供主处理器调用，另一方面也把将要发送的分系统数据存在片内RAM中供BC采集^[12]。

图1中，BU-61580通过硬件的电平设置，工作在16位缓存、非零等待模式^[13]，终端地址位RTAD4~RTAD0和校验位RTADP由跳线进行设定。BU-61580具有A、B双路总线收发端，两路互为热备份，A、B总线发送/接收端分别经隔离变压器后，再以变压器耦合方式接入1553B总线通信。隔离变压器采用BTTC公司的B-3226，变压比选为1:1.79，耦合变压器采用ESI-410，变压比为1:1.4，该配置方式可允许的最大耦合长度为6m。

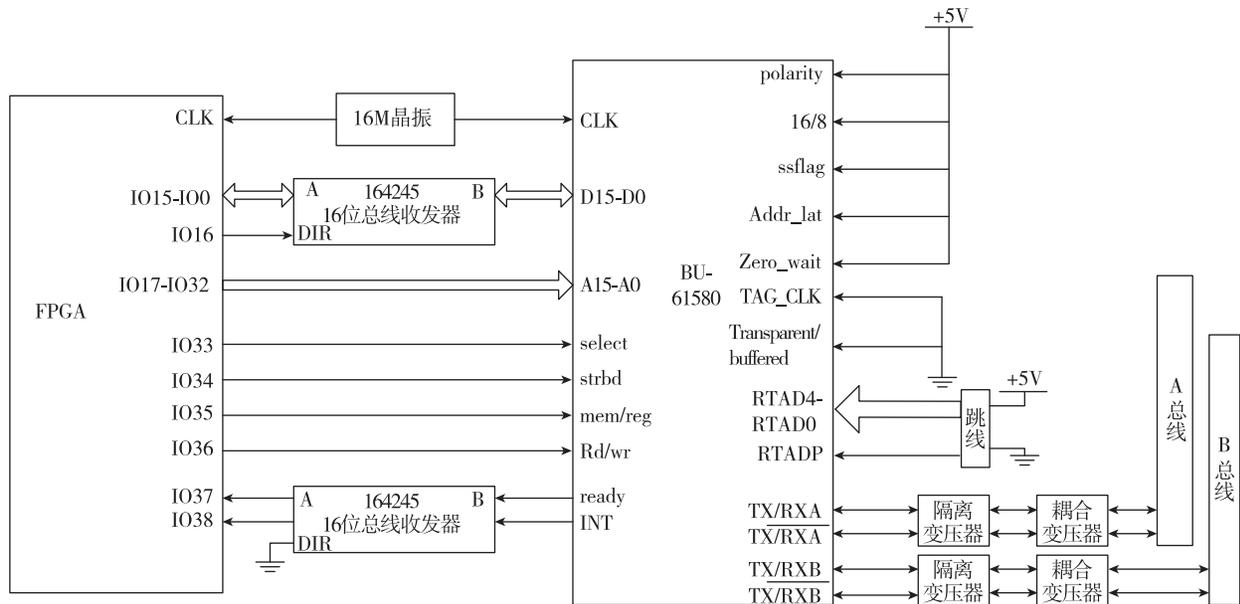


图1 1553B总线接口硬件电路示意图

Fig. 1 Interface circuit of 1553B bus

FPGA 的 IO 引脚供电通常为 3.3V,而 BU-61580 的逻辑引脚供电固定为 5V,为此在电路中加入 58 所的 164245 总线收发器起到电平转换作用^[14]。从图 1 中可以看出,该 1553B 接口电路中除必要的电平转换以外,并无多余的粘合逻辑,电路简单明了,有利于实现小型化和低功耗。

2 软件设计

本文主要探讨 RT 模式下的接口软件设计。接

口软件由 VHDL 语言编写而成,其软件架构如图 2 所示。该软件主要由 BUSINITIAL、BUSCONTROL、READ 和 WRITE 这 4 个模块组成。其中,READ 和 WRITE 模块负责对总线协议处理器 BU-61580 进行读写;BUSINITIAL 模块负责初始化总线协议处理器;BUSCONTROL 模块负责利用 BU-61580 接收 BC 通过 1553B 总线发送的各种指令,并按照指令要求进行相应的操作。下面将对最重要的 BUSCONTROL 模块的内部设计进行详细阐述。

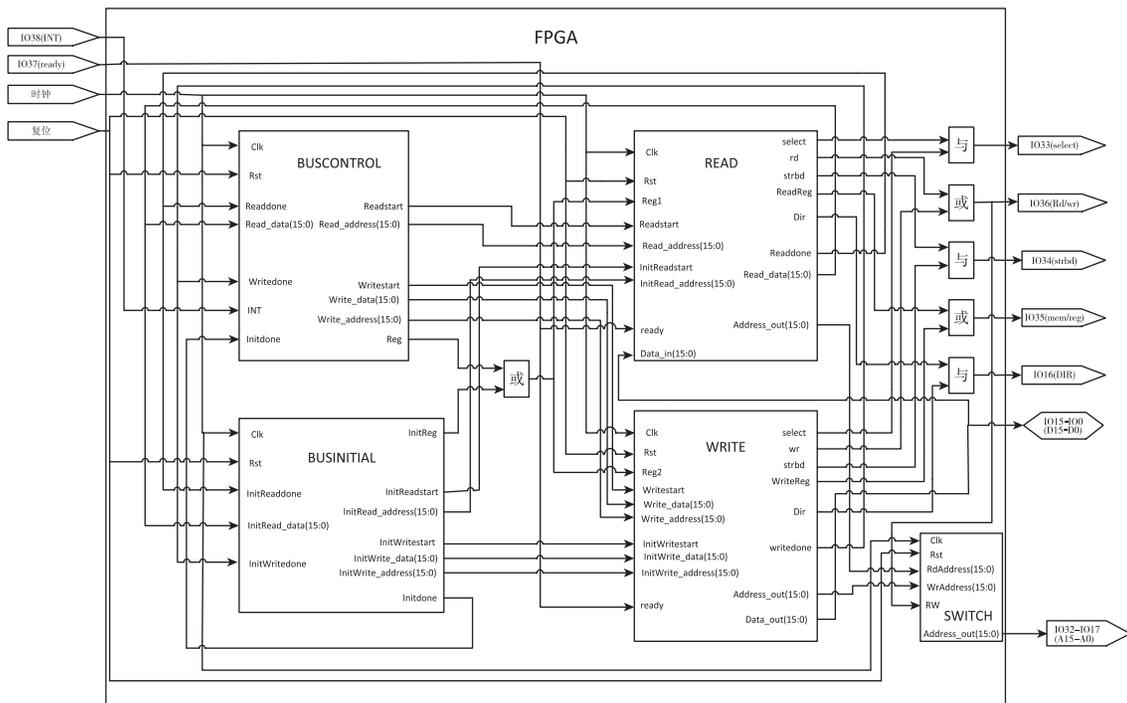


图 2 1553B 接口软件架构图

Fig. 2 Software architecture diagram of communication interface for 1553B bus

2.1 BUSCONTROL 模块设计

该模块内部有 2 个进程,一个是主进程,响应 BU-61580 中断,从其配置寄存器中取出 BC 指令,再根据该指令执行方式码操作或是从 BU-61580 的内部 RAM 中读取 BC 发来的数据。为了保证接收数据的一致性与正确性,本文在 BUSINITIAL 模块中将 BU-61580 配置为接收子地址双缓冲模式,该模式为每一个给定的接收子地址分配 2 个存储数据块,并自动为子地址切换这 2 个存储数据块的激活和非激活状态,确保 FPGA 与 BU-61580 不会同时访问同一个存储数据块,避免了访问冲突导致的错误。如图 3(a)所示,在主进程中为了读取最新数据,需要关闭双缓冲,通过子地址查询表获取数据块地址,再反转该地址的第 5 位,才能从该地址所指

向的数据块中读取到刚收到的有效数据,读取完毕后还需重新启用双缓冲模式。

另一个是数据更新进程。该进程把准备发送的有效数据存储于 BU-61580 的内部 RAM 中,供 BC 调用。通常的做法是查询 INT 中断信号,确认 BC 已将数据取走后,再把新的数据存入内部 RAM,供 BC 下一次读取。但该方法的实时性较差,BC 的取数间隔越大,则数据延时越大,无法适应高实时性应用环境。

在本文中,为了保证实时性,定时将有效数据刷新至 BU-61580 的内部 RAM 中,而不等待 INT 中断信号。作为 1553B 总线接口,无法控制 BC 采样时间,但可提高自身更新速率,改善数据实时性。但该方式存在风险,极端情况下 BC 的取数可能发

生在 FPGA 写内部 RAM 的过程中,从而产生冲突,导致 BC 取到的数据是 FPGA 更新前后两帧数据的混叠,导致数据错误。为解决该问题,提出一种发送双缓冲的数据更新方式。如图 3(b)所示,发送双缓冲为 BU-61580 的每一个给定的发送子地址分配 2 个存储数据块,这里简称数据块 a 和数据块 b。FPGA 首先将数据写入数据块 a,写入完毕后将数据块 a 的地址写入子地址查询表,这样数据块 a 就变为激活状态,数据块 b 成为非激活状态。下一次 FPGA 数据更新时,再以此方式激活数据块 b,休眠数据块 a。激活数据块和非激活数据块一直这样按照固定周期互换。

在发送双缓冲模式下,再考虑极端情况,即 FPGA 修改 BU-61580 的子地址查询表发生在 BC 正在取数的时候。BU-61580 收到 BC 的取数指令时,将进入一次子地址查询表寻找对应的内部 RAM 数据块,再将对应数据块中存储的字节组帧后发往 BC。BU-61580 只在收到 BC 指令时使用一次子地址查询表,因此 BC 取数时更改子地址查询表也不会导致部分已取数据为数据块 b,后续取数为数据块 a 的情况,BC 取到的必然是一个单一数据块中的字节。可见利用 FPGA 交替切换激活数据块和非激活数据块的发送双缓存机制,可避免极端情况下的数据更新冲突,兼顾了总线接口系统的实时性和可靠性。

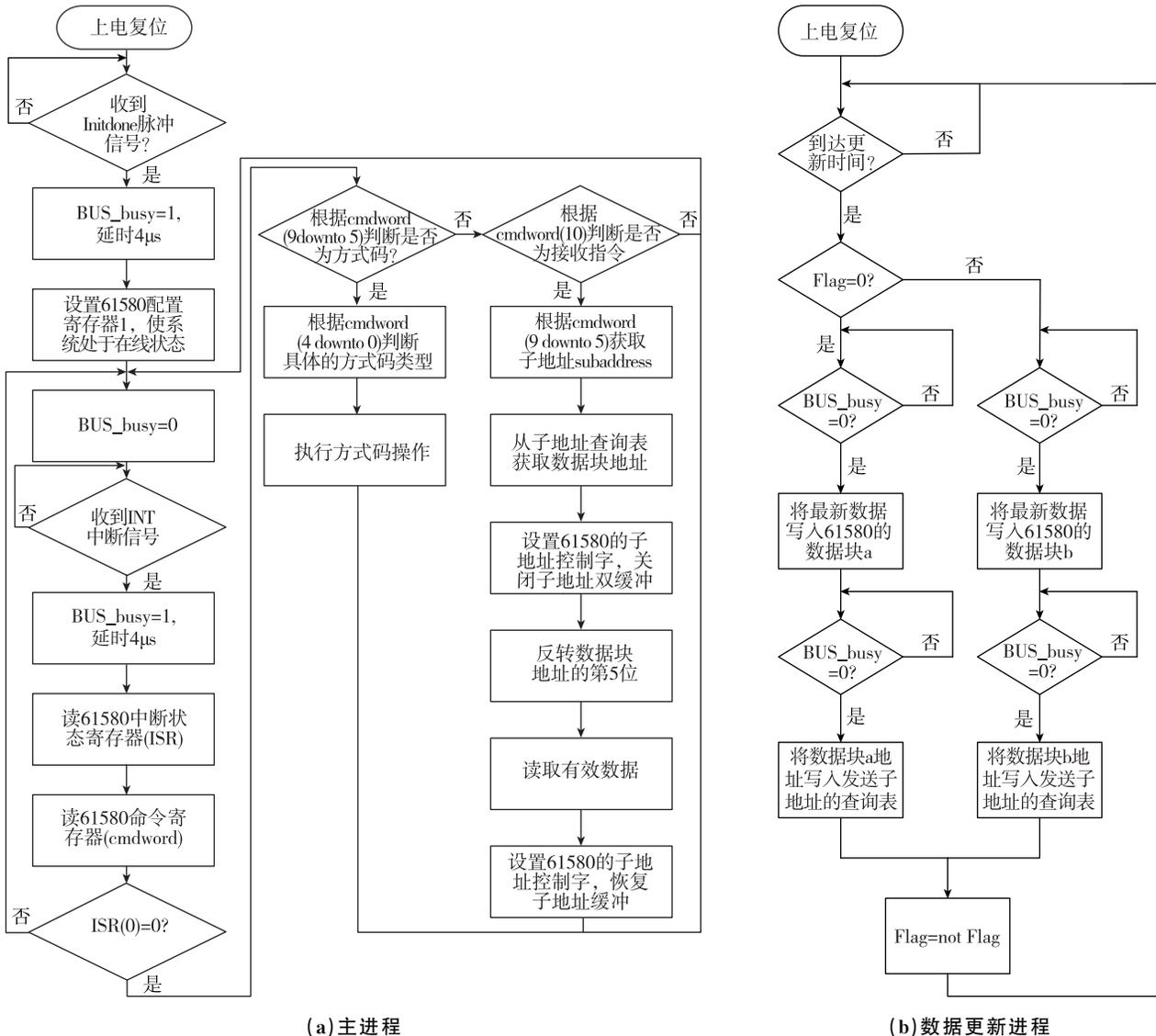


图 3 BUSCONTROL 模块流程图

Fig. 3 Flow chart of BUSCONTROL module

根据上述分析, FPGA 内的主进程和数据更新进程都需要访问 BU-61580, 因此需要分时使用, 以避免程序冲突。如图 4 所示, 程序中设置了标志位 BUS_busy 来控制 2 个进程的访问时间。在 FPGA 内, 主进程的优先级要高于数据更新进程, 当其访问 BU-61580 期间, 将标志位 BUS_busy 置 1, 结束访问时, 再将 BUS_busy 置 0。数据更新进程每次访问 BU-61580 前, 都要首先查询 BUS_busy 是否

为 0, 确保主进程没有占用 BU-61580 后, 才会开始正式访问。值得注意的是在主进程中, 每次将标志位 BUS_busy 置 1 后, 都会延时 4μs 才开始执行下一条程序。BU-61580 在 16MHz 晶振频率下, 完成读或写一条指令的最长时间不大于 4μs。因此该延时足以确保, 数据更新进程在执行读写操作 BU-61580 的过程中遭遇 BUS_busy 置 1 的情况时, 能够及时完成当前操作再暂停进程释放 BU-61580 控制权。

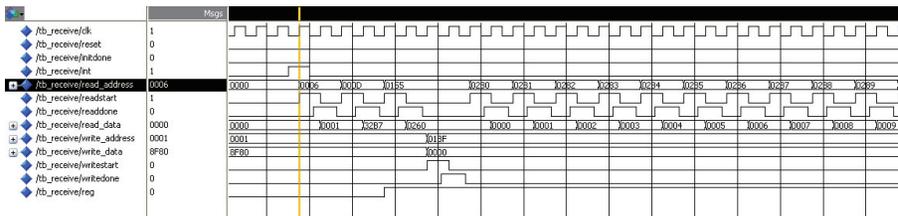


图 4 1553B 接收指令仿真图

Fig. 4 Simulation results of receiving messages for 1553B

2.2 仿真

根据上述的软件设计, 以 VHDL 语言编写了 RT 模式下的 1553B 接口软件, 该软件主要完成 2 个功能:

1) 实现 1553B 接收指令: 终端地址 6, 子地址 21, 23 个数据字, 数据依次为 0~22。采用 RT 子地址双缓冲, 子地址 21 接收端对应的 2 个数据块首地址分别为 0×0260 和 0×0280。

2) 实现 1553B 发送指令: 终端地址 6, 子地址 2, 4 个数据字, 数据依次为 9~6。以发送双缓冲的方

式将数据以 1ms 周期定期更新至 BU-61580, 子地址 2 发送端对应的 2 个数据块首地址分别为 0×0540 和 0×0840。

通过 BU-61580 的专用测试用例对 Modelsim 软件的软件功能进行仿真实验, 验证结果如图 4 和图 5 所示。仿真结果证明了 1553B 接口软件已达到目标功能, 可以实现与 BU-61580 的交互通信。下面将把接口硬件与软件结合接入总线网络进行实验验证。

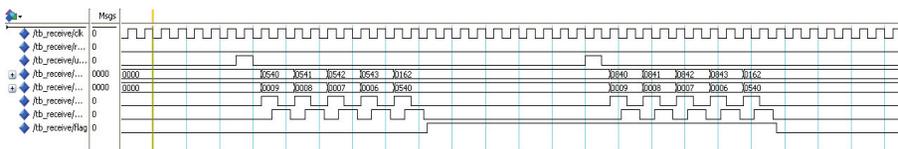


图 5 1553B 发送指令仿真图

Fig. 5 Simulation results of transmitting messages for 1553B

3 实验验证

根据上文所述方法设计实现的 1553B 总线接口电路如图 6 所示。使用 DDC 的 PCI-1553 板卡配合 C++ Builder 编写的上位机作为 BC 端, 通过变压器耦合方式与本文设计的接口电路相连, 对其进行通信测试。测试流程为先发送一次 1553B 接收指令, 再以 5ms 为周期连续发送 1553B 发送指令。



图 6 1553B 总线接口电路

Fig. 6 Prototype of interface circuit for 1553B bus

为了便于观察测试结果,对 2.2 节所述的软件功能进行适应性优化,将发送指令中子地址 2 的数据字也改为 23 个,令程序在收到子地址 21 的 23 个数据字后,再将其按 1ms 周期存入子地址 2 对应的数据块供 BC 读取。每次存入前均将 23 个数据字在现有基础上加 1。这样通过 BC 接收数据就能同时确认 1553B 总线接口是否已正确取到 BC 发送的数据。

实验测试结果如图 7 和图 8 所示,从图中可以

看出 1553B 总线接口可以准确响应 BC 端发送的命令,正确地接收和发送数据。同时程序内部也在以发送双缓冲模式定期刷新数据,上位机收到的总是延时在 1ms 以内的最新的数据,与 5ms 的指令发送周期无关,实时性得到提高。该 1553B 总线接口结构简单,实时性好,能够应用在对响应速率有严格要求的系统中,具有良好的适应性,已在本单位若干项目中进行了多次应用,可靠性得到验证。



图 7 上位机发送 1553B 数据

Fig. 7 Transmitting messages of PC software for test

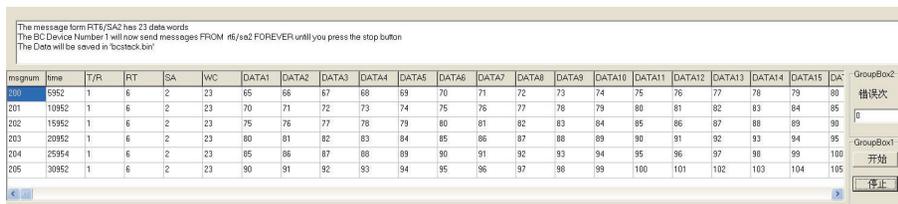


图 8 上位机接收到的 1553B 数据

Fig. 8 Receiving messages of PC software for test

4 结论

本文提出了一种 RT 模式下的 1553B 总线接口,该接口硬件上以 BU-61580 为总线协议处理器,以 FPGA 为主处理器,软件上在接收和发送端均采用双缓冲结构。文中对总线接口的设计方案进行了详细阐述,并通过仿真和实验手段对总线接口的功能和性能进行了论证。该设计方案具有结构简单、实时性好、可靠性高的优点,可以满足各种不同应用需求,对其他的 1553B 总线接口具有普遍的参考和借鉴意义。

本文提出了一种 RT 模式下的 1553B 总线接口,该接口硬件上以 BU-61580 为总线协议处理器,以深圳国微的 SMQV600 作为主处理器,在 FPGA 内部实现接口粘合逻辑,降低了电路结构的复杂性。

本文在 FPGA 软件设计中,采用收发双缓冲机制处理与 BU-61580 的数据通信,并通过仿真和实验手段对其功能和性能进行了验证。相较于常用的中断响应机制,该设计方案可以提高数据发送的实时性,并能够避免极端情况下的数据更新冲突,

保证了可靠性,更适合控制系统、导航系统等对于实时性和可靠性都有很高要求的应用场景。

本文将 FPGA 的 1553 通信软件分为 4 个软件模块进行设计,功能划分明确,移植性好。该设计思路也可用于其他的 1553B 总线接口设计中,具有广泛的适应性。

参考文献

- [1] D D C Corporation. MIL-STD-1553 Designer's Guide [Z]. 2003.
- [2] 徐贵贤. 1553B 总线简介及其实现[J]. 通信技术, 2011, 44(5): 166-168.
- [3] 贾艳梅, 钟红恩, 张蛟, 等. 一种 1553B 总线控制器与处理器的接口设计方法[J]. 空间电子技术, 2017, 44(5): 83-88.
- [4] 邢秀琴, 姚竹亭. 基于 1553B 总线的通信接口及其应用[J]. 中北大学学报(自然科学版), 2007, 28(1): 91-94.
- [5] 张玉福, 刘鹏, 王晓曼. 基于 ARM 和 FPGA 高速 1553B 总线测试系统的设计[J]. 长春理工大学学报(自然科学版), 2016, 39(5): 88-90.

- [6] 郑先成, 张国俊, 张晓斌. 基于 TMS320F2812 和 DSP/BIOS 的 1553B 总线接口设计[J]. 测控技术, 2008, 27(7):53-55.
- [7] 周远林, 吴忠, 丑武胜. 基于 BU-61580 的 1553B 总线接口设计[J]. 计算机工程与应用, 2010, 46(35): 65-68.
- [8] 刘陶, 张翀, 谭志宏. 高性能 DSP 在 1553B 总线中的设计与实现[J]. 航空计算技术, 2017, 47(2): 109-112.
- [9] 张启敏, 孙剑波, 权云涛. 1553B 总线网络中 RT 终端系统的软件设计[J]. 电子科技, 2014, 27(3): 38-45.
- [10] 张子明. 基于 BU-61580 的 1553B 总线通讯模块的设计和研制[D]. 南京: 南京航空航天大学, 2014.
- [11] 李孝庆, 王艳, 李坤. 基于 1553B 总线星时精确产生硬件秒脉冲的方法[J]. 导航定位与授时, 2016, 3(4): 65-69.
- [12] 孟娟, 林希佳. 高动态电动伺服机构 1553B 总线通信的设计与实现[J]. 导航定位与授时, 2016, 3(6): 67-69.
- [13] 黄敬涛, 李丙玉, 王晓东, 等. 某型红外探测系统中 1553B 总线通信设计与实现[J]. 电子测量技术, 2015, 38(9):143-146.
- [14] 史林锋, 王斌永, 何志平, 等. 基于 FPGA 和 BU-65170 的 1553B 远程终端设计与实现[J]. 现代电子技术, 2013, 36(14): 65-69.